

JCEB6 U.S. PRO
09/633366



Handwritten signature and date: 10-14-00



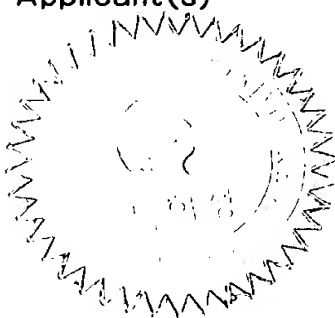
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 2000년 제 280 호
Application Number

출원 년 월 일 : 2000년 01월 05일
Date of Application

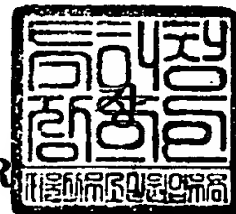
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 01 월 28 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.01.05
【국제특허분류】	G11C
【발명의 명칭】	커패시터 및 그 제조방법
【발명의 영문명칭】	Capacitor and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	1999-005679-8
【발명자】	
【성명의 국문표기】	이인정
【성명의 영문표기】	LEE, In Jung
【주민등록번호】	710929-1068118
【우편번호】	133-101
【주소】	서울특별시 성동구 옥수1동 497-4호 20/4
【국적】	KR
【발명자】	
【성명의 국문표기】	신헌종
【성명의 영문표기】	SHIN, Heon Joung
【주민등록번호】	660828-1552322
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 상현리 99번지 벽산아파트 106동 507호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 554,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

WACC(Wirebond Attached Chip Capacitor) 제조시, 상부전극을 이루는 폴리실리콘막 패턴과 장벽금속막 간의 리프팅(lifting) 발생을 막을 수 있도록 한 반도체 소자의 커패시터 및 그 제조방법이 개시된다.

이를 구현하기 위하여 본 발명에서는, 유전막을 사이에 두고 그 상단부에는 '제 1 언도프트 폴리실리콘막/도프트 폴리실리콘막/제 2 언도프트 폴리실리콘막' 적층 구조의 폴리실리콘 패턴과 제 1 금속 패턴이 접속되도록 구성된 상부전극이 놓이고, 그 하단부에는 p++형 실리콘 기판에 제 1 금속 패턴과 제 2 금속 패턴이 접속되도록 구성된 하부전극이 놓이는 구조의 커패시터가 제공된다. 이때, 상기 제 1 금속 패턴은 '장벽금속막/알루미늄막'의 적층 구조를 가지도록 형성된다.

그 결과, 장벽금속막이 도프트 폴리실리콘막이 아닌 언도프트 폴리실리콘막과 접촉되도록 소자 구성이 이루어지게 되므로 폴리실리콘막의 도핑 레벨을 기존보다 낮게 가져간 효과를 얻을 수 있게 되어 하부 폴리실리콘막과 상부 장벽금속막 간의 실리사이드막 형성을 보다 원활하게 이룰 수 있게 되고, 이로 인해 상기 막질들 간의 접착력 특성을 향상시킬 수 있게 되므로 리프팅 발생을 막을 수 있게 된다.

【대표도】

도 2d

【명세서】**【발명의 명칭】**

커패시터 및 그 제조방법{Capacitor and method for fabricating the same}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 WACC 제조방법을 도시한 공정수순도,

도 2a 내지 도 2d는 본 발명에 의한 WACC 제조방법을 도시한 공정수순도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 WACC(Wirebond Attached Chip Capacitor) 제조시 상부전극을 이루는 폴리실리콘 패턴과 장벽금속막 간의 리프팅(lifting) 발생을 막을 수 있도록 한 커패시터 및 그 제조방법에 관한 것이다.
- <4> WACC는 메인 칩(main chip) 위에 탑재되어 상기 칩이 안정된 동작을 할 수 있게끔 도와주는 역할을 하는 소자로서, 상기 메인 칩과는 통상, 칩 상의 패드와 WACC 상의 패드가 와이어 본딩되는 방식으로 연결되어 있다.
- <5> 상기 WACC는 반도체 뿐만 아니라 다른 전자장치의 전원 공급부 등에서도 널리 응용되고 있는데, 도 1a 내지 도 1d에는 종래 반도체 소자 제조시 널리 사용되어 오던 WACC

제조방법을 도시한 공정수순도가 제시되어 있다. 이를 참조하여 그 제조방법을 구체적으로 살펴보면 다음과 같다.

- <6> 도 1a에 도시된 바와 같이, p++형의 실리콘 기판(10) 상에 산화막 재질의 제 1 절연막(12)을 형성하고, 기판(10) 상의 액티브영역이 노출되도록 제 1 절연막(12)을 선택식각한다. 이어, 상부전극 형성부에 위치한 액티브영역의 기판(10)을 소정 두께 선택식각하여 상기 기판(10) 내에 복수의 트랜치(t)를 형성한다.
- <7> 도 1b에 도시된 바와 같이, 상기 결과물 전면에 ONO(oxide-nitride-oxide) 구조의 유전막(14)을 형성하고, 상기 유전막(14) 상에 '언도프드(undoped) 폴리실리콘막(16a)/도프드(doped) 폴리실리콘막(16b)' 적층 구조의 폴리실리콘막(16)을 형성한다. 이때, 언도프드 폴리실리콘막(16a)은 620℃의 온도에서 500Å의 두께로 형성하고, 도프드 폴리실리콘막(16b)은 540℃의 온도에서 2500Å의 두께로 형성한다. 폴리실리콘막(16)을 언도프드와 도프드의 2층 구조로 가져간 것은 0.25 μ m 이하의 디자인 룰(design rule)을 갖는 반도체 소자 설계시에는 커패시터의 유효 단면적을 늘리기 위하여 통상, 트랜치(t)를 형성하여 커패시터 제조를 이루고 있기 때문에 일반적인 불순물 주입 공정만을 적용해서는 폴리실리콘막(16)의 상단부쪽에 충분한 불순물을 주입하기 어렵기 때문이다.
- <8> 도 1c에 도시된 바와 같이, 상부전극 형성부를 제외한 나머지 영역의 폴리실리콘막(16)을 제거하여 폴리실리콘 패턴(16')을 형성한다. 이 과정에서 유전막(14)

을 구성하는 ONO층 탑 옥사이드(top oxide)가 함께 제거되므로, 식각 공정이 완료되면 상부전극 형성부를 제외한 영역의 유전막(14) 두께가 초기 상태보다 얇아지게 된다. 이어, 폴리실리콘 패턴(16')이 형성되어 있지 않은 부분에 남겨진 잔존 유전막(14)을 제거하고, 후속 증착 막질인 장벽금속막과 액티브영역 간의 오믹 콘택(ohmic contact)을 형성하기 위하여 상기 결과물 상으로 p+형의 불순물을 블랭킷(blanket) 이온주입한다. 그 결과, 폴리실리콘 패턴(16') 일측의 액티브영역의 기판(10) 내에 p+형의 불순물 확산영역(18)이 형성된다.

<9> 도 1d에 도시된 바와 같이, 상기 결과물 전면에 장벽금속막을 형성한 후 어닐(anneal) 처리를 실시하고, 그 위에 알루미늄막을 형성한다. 그 결과, '장벽금속막/알루미늄막' 적층 구조의 제 1 금속막이 형성된다. 이때, 상기 장벽금속막은 Ti/TiN의 적층 구조로 형성되며, Ti는 150Å의 두께로 형성되고, TiN은 1000Å의 두께로 형성된다. 여기서, 장벽금속막을 이루는 Ti는 어닐 처리시 하부 실리콘(폴리실리콘 패턴과 p++형 실리콘 기판을 총 망라해서 일컬음)과의 반응에 의해 실리사이드막을 형성하여 장벽금속막과 실리콘 간의 접착력을 향상시켜 주는 역할을 담당하고, TiN은 제 1 금속막 증착시 알루미늄막이 실리콘 내로 확산되는 것을 방지하는 역할을 담당한다. 이어, 제 1 절연막(12)의 표면이 소정 부분 노출되도록 제 1 금속막을 선택식각하여 폴리실리콘 패턴(16')과 연결되는 제 1 금속 패턴(20a)과 p+형의 불순물 확산영역(18)과 연결되는 제 1 금속 패턴(20b)을 각각 형성한다. 그후, 제 1 금속 패턴(20a),(20b)을 포함한 제 1 절연막(12) 상에 중간 절연 물질로서 산화막 재질의 제 2 절연막(22)을 형성하고, p+형의 불순물 확산영역(18)에 접

속된 제 1 금속 패턴(20b)의 표면이 소정 부분 노출되도록 제 2 절연막(22)을 선택식각하여 비어 홀(h)을 형성한 다음, 상기 비어 홀(h)을 포함한 제 2 절연막(22) 상에 제 2 금속 패턴(24)을 형성하므로써, 본 공정 진행을 완료한다.

<10> 그 결과, 도 1d에서 알 수 있듯이 유전막(14)을 사이에 두고, 그 상단부에는 폴리실리콘 패턴(16')과 제 1 금속 패턴(20a)이 접속되도록 구성된 상부전극(I)이 놓이고, 그 하단부에는 p++형 기판(10)에 제 1 금속 패턴(20b)과 제 2 금속 패턴(24)이 접속되도록 구성된 하부전극(II)이 놓이는 구조의 WACC가 완성된다.

<11> 그러나, 상기 구조를 가지도록 WACC를 제조할 경우에는 소자 제조시 다음과 같은 문제가 발생된다.

<12> 하부 실리콘과 상부 장벽금속막과의 접착력은 어닐 처리시 Ti와 실리콘과의 반응이 얼마만큼 이루어졌는가에 의해 결정된다. 이 반응막(예컨대, 실리사이드막)의 두께는 통상, 하부 실리콘의 도핑 레벨(doping level)에 반비례하는 것으로 알려져 있다. 즉, 하부 실리콘의 불순물 도핑 레벨이 높으면 반응막의 두께가 낮아지게 되고, 하부 실리콘의 불순물 도핑 레벨이 낮으면 반응막의 두께가 높아지게 되는 것이다. 여기서, 하부 실리콘이란 폴리실리콘 패턴(16')과 p++형 기판(10)을 총칭해서 나타낸다.

<13> 그러므로, Ti와 실리콘과의 접착력을 향상시키기 위해서는 하부 실리콘의 불순물 도핑 레벨을 낮추어서 반응막의 두께를 어느 일정 수준 이상으로 유지시켜 주어야 한다.

<14> 하지만, 상기 공정에 의거하여 WACC를 제조하면 폴리실리콘막이 언도프트,

도프드의 이중 구조를 가지므로 그 자체의 표면 도핑 레벨이 높을 뿐 아니라 오믹 콘택 형성을 위하여 추가로 진행되는 p+형 불순물의 블랭킷 이온주입으로 인해 폴리실리콘 패턴(16')의 불순물 도핑 레벨이 더욱 높아지게 되어, 하부 폴리실리콘 패턴(16')과 상부 장벽금속막 간에 실리사이드막 형성이 거의 이루어지지 않게 된다. 그 결과, 접착력이 약해져 상부전극을 이루는 폴리실리콘 패턴(16')으로부터 장벽금속막이 리프팅되는 문제가 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <15> 이에 본 발명의 목적은, WACC 제조시 상부전극을 이루는 폴리실리콘막을 '언도프드 폴리실리콘막/도프드 폴리실리콘막/언도프드 폴리실리콘막'의 3층 적층 구조로 가져가 주어 장벽금속막과 만나는 폴리실리콘막이 언도프드 막질이 되도록 하므로써, 폴리실리콘막과 장벽금속막 간에 실리사이드막 형성이 잘 되도록 하여 접착력을 강화시키고 리프팅 발생을 막을 수 있도록 한 커패시터를 제공함에 있다.
- <16> 본 발명의 다른 목적은, 상기 구조의 반도체 소자를 효과적으로 제조할 수 있는 커패시터 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <17> 상기 목적을 달성하기 위하여 본 발명에서는, 하부전극과 유전막 및 상부전극으로 구성된 커패시터에 있어서, 상기 상부전극이 '제 1 언도프드 폴리실리콘막/도프드 폴리실리콘막/제 2 언도프드 폴리실리콘막'의 적층 구조로 형성된 것을 특징으로 하는 커패시터

가 제공된다.

<18> 상기 다른 목적을 달성하기 위하여 본 발명에서는, 하부전극과 유전막 및 상부전극으로 구성된 커패시터 제조방법에 있어서, 상기 상부전극이 '제 1 언도프드 폴리실리콘막/도프드 폴리실리콘막/제 2 언도프드 폴리실리콘막'의 적층 구조로 형성되는 것을 특징으로 하는 커패시터 제조방법이 제공된다.

<19> 이때, 상기 제 1 및 제 2 언도프드 폴리실리콘막은 1000Å 이하의 두께로 형성하는 것이 바람직하고, 도프드 폴리실리콘막은 1800 ~ 2500Å의 두께로 형성하는 것이 바람직하며, 제 2 언도프드 폴리실리콘막은 상기 도프드 폴리실리콘막 형성후 진공의 깎(break)없이 상기 도프드 막질 형성시와 동일한 온도 조건하에서 형성하는 것이 바람직하다.

<20> 그리고, 상기 상부전극의 전면에는 '장벽금속막/알루미늄막' 적층 구조의 금속 패턴이 더 구비되도록 소자 설계를 이루는 것이 바람직하다. 이 경우, 상기 장벽금속막으로는 Ti/TiN의 적층 구조가 사용된다.

<21> 상기 구조를 가지도록 WACC를 제조한 결과, 장벽금속막이 도프드 폴리실리콘막이 아닌 언도프드 폴리실리콘막과 접촉되므로, 폴리실리콘막의 도핑 레벨을 기존보다 낮게 가져간 효과를 얻을 수 있게 되어 하부 폴리실리콘막과 상부 장벽금속막 간의 실리사이드막 형성을 보다 원활하게 이룰 수 있게 된다.

<22> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

<23> 도 2a 내지 도 2d는 본 발명에서 제안된 WACC 제조방법을 도시한 공정수순도

를 나타낸 것으로, 이를 참조하여 그 제조방법을 구체적으로 살펴보면 다음과 같다.

<24> 도 2a에 도시된 바와 같이, p++형의 실리콘 기판(100) 상에 산화막 재질의 제 1 절연막(102)을 형성하고, 기판(100) 상의 액티브영역이 노출되도록 제 1 절연막(102)을 선택식각한다. 이어, 상부전극 형성부에 위치한 액티브영역의 기판(100)을 소정 두께 선택식각하여 상기 기판(100) 내에 복수의 트랜치(t)를 형성한다. 이와 같이 기판 내에 별도의 트랜치(t)를 더 형성한 것은 커패시터의 유효 단면적을 늘려 주어 동일 CD(critical demension) 내에서 좀더 양호한 특성의 커패시턴스를 확보하기 위함이다.

<25> 도 2b에 도시된 바와 같이, 상기 결과물 전면에서 ONO 구조의 유전막(104)을 형성하고, 트랜치(t) 내부가 충분히 채워지도록 상기 유전막(104) 상에 '제 1 언도프드 폴리실리콘막(106a)/도프드 폴리실리콘막(106b)/제 2 언도프드 폴리실리콘막(106c)' 적층 구조의 폴리실리콘막(106)을 형성한다. 이때, 제 1 언도프드 폴리실리콘막(106a)은 620℃의 온도에서 1000Å 이하의 두께를 가지도록 형성되고, 도프드 폴리실리콘막(106b)은 540℃의 온도에서 1800 ~ 2500Å의 두께를 가지도록 형성되며, 제 2 언도프드 폴리실리콘막(106c)은 도프드 폴리실리콘막(106b) 형성후 진공의 껌없이 540℃의 온도에서 1000Å 이하의 두께를 가지도록 형성된다. 폴리실리콘막(106)을 제 1 언도프드, 도프드, 제 2 언도프드의 3층 구조로 가져간 것은 후속 금속막(예컨대, Ti/TiN' 적층 구조의 장벽금속막) 증착시 장벽금속막을 이루는 Ti와 접촉되는 폴리실리콘막이 언도프드 막질이 되도록 하여 폴리실리콘막의 도핑 레벨을 기존보다 낮게 가져간 효과를 얻기 위함이다.

<26> 도 2c에 도시된 바와 같이, 상부전극 형성부를 제외한 나머지 영역의 폴리실리콘막(106)을 제거하여 폴리실리콘 패턴(106')을 형성한다. 이 과정에서 유전막

(104)을 구성하는 ONO층 탑 옥사이드가 함께 제거되므로, 식각 공정이 완료되면 상부전극 형성부를 제외한 영역의 유전막(104) 두께가 초기 상태보다 얇아지게 된다. 이어, 폴리실리콘 패턴(106')이 형성되어 있지 않은 부분에 남겨진 잔존 유전막(104)을 제거하고, 후속 증착 막질인 장벽금속막과 액티브영역 간의 오믹 콘택을 형성하기 위하여 상기 결과물 상으로 p+형의 불순물을 블랭킷 이온주입한다. 그 결과, 폴리실리콘 패턴(106') 일측의 액티브영역의 기판(100) 내에 p+형의 불순물 확산영역(108)이 형성된다.

<27> 도 2d에 도시된 바와 같이, 상기 결과물 전면에 장벽금속막을 형성한 후 어닐 처리를 실시하고, 그 전면에 알루미늄막을 형성하여 '장벽금속막/알루미늄막' 적층 구조의 제 1 금속막을 형성한다. 이때, 상기 장벽금속막은 Ti/TiN의 적층 구조로 형성되며, Ti는 150Å의 두께로 형성되고, TiN은 1000Å의 두께로 형성된다. 여기서, 장벽금속막을 이루는 Ti는 어닐 처리시 하부 실리콘(폴리실리콘 패턴과 p++형 실리콘 기판을 총 망라해서 일컬음)과의 반응에 의해 실리사이드막을 형성하여 장벽금속막과 실리콘 간의 접착력을 향상시켜 주는 역할을 담당하고, TiN은 제 1 금속막 증착시 알루미늄막이 실리콘 내로 확산되는 것을 방지하는 역할을 담당한다. 이어, 제 1 절연막(102)의 표면이 소정 부분 노출되도록 제 1 금속막을 선택식각하여 폴리실리콘 패턴(106')과 연결되는 제 1 금속 패턴(110a)과 p+형의 불순물 확산영역(108)과 연결되는 제 1 금속 패턴(110b)을 각각 형성한다. 그후, 제 1 금속 패턴(110a), (110b)을 포함한 제 1 절연막(102) 상에 층간 절연 물질로서 산화막 재질의 제 2 절연막(112)을 형성하고, p+형 불순물 확산영역(108)에 접속된 제 1 금속 패턴(110b)의 표면이 소정 부분 노출되도록 제 2 절연막(112)을 선택식각하여 비어 홀(h)을 형성한 다음, 상기 비어 홀(h)을 포함한 제 2 절연막(112) 상에

제 2 금속 패턴(114)을 형성하므로써, 본 공정 진행을 완료한다.

<28> 그 결과, 도 2d에서 알 수 있듯이 유전막(104)을 사이에 두고, 그 상단부에는 폴리실리콘 패턴(106')과 제 1 금속 패턴(110a) 접촉되도록 구성된 상부전극(I)이 놓이고, 그 하단부에는 p++형 실리콘 기판(100)에 제 1 금속 패턴(110b)과 제 2 금속 패턴(114)이 접촉되도록 구성된 하부전극(II)이 놓이는 구조의 WACC가 완성된다.

<29> 이때, 상기 폴리실리콘 패턴(106')은 기 언급된 바와 같이 '제 1 언도프트 폴리실리콘막(106a)/도프트 폴리실리콘막(106b)/제 2 언도프트 폴리실리콘막(106c)'의 3층 적층 구조를 가지도록 형성되고, 제 1 금속 패턴(110a),(110b)은 '장벽금속막/알루미늄막'의 적층 구조를 가지도록 형성된다.

<30> 이와 같이 WACC를 제조할 경우, 장벽금속막을 이루는 Ti가 제 2 언도프트 폴리실리콘막(106c)과 접촉하도록 소자 구성이 이루어지므로, 폴리실리콘막의 도핑 레벨을 기존보다 낮게 가져간 효과를 얻을 수 있게 되어 하부 폴리실리콘막과 상부 장벽금속막 간의 실리콘사이드막 형성이 보다 원활하게 이루어지게 된다.

<31> 이로 인해, 폴리실리콘 패턴(106')과 장벽금속막 간의 접착력을 강화할 수 있게 되므로, 상부전극을 이루는 폴리실리콘 패턴(106')으로부터 장벽금속막이 리프팅되는 것을 막을 수 있게 된다.

<32> 이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상내에서 당 분야의 통상의 지식으로 그 변형이나 개량이 가능함은 물론이다.

【발명의 효과】

<33> 이상에서 살펴본 바와 같이 본 발명에 의하면, 상부전극을 이루는 폴리실리콘막을 언도프드, 도프드, 언도프드의 3층 적층 구조로 가져가 주어 장벽금속막과 만나는 폴리실리콘막이 언도프드 막질이 되도록 하므로써, 후속 금속막(예컨대, 장벽금속막) 증착시 폴리실리콘막과 장벽금속막(특히, Ti) 간의 실리사이드막 형성을 보다 원활하게 이룰 수 있게 되므로, 폴리실리콘 패턴과 장벽금속막 간의 접착력을 향상시킬 수 있게 되어 이들 막질 간의 리프팅 발생을 막을 수 있게 된다.

【특허청구범위】**【청구항 1】**

하부전극과 유전막 및 상부전극으로 구성된 커패시터에 있어서,

상기 상부전극이 '제 1 언도프드 폴리실리콘막/도프드 폴리실리콘막/제 2 언도프드 폴리실리콘막'의 적층 구조로 이루어진 것을 특징으로 하는 커패시터.

【청구항 2】

제 1항에 있어서, 상기 제 1 및 제 2 언도프드 폴리실리콘막은 1000Å 이하의 두께를 갖는 것을 특징으로 하는 커패시터.

【청구항 3】

제 1항에 있어서, 상기 도프드 폴리실리콘막은 1800 ~ 2500Å의 두께를 갖는 것을 특징으로 하는 커패시터.

【청구항 4】

제 1항에 있어서, 상기 상부전극의 전면에 금속 패턴이 더 적층된 것을 특징으로 하는 커패시터.

【청구항 5】

제 4항에 있어서, 상기 금속 패턴은 '장벽금속막/알루미늄막'의 적층 구조로 이루어진
【청구항 5】
것을 특징으로 하는 커패시터.

【청구항 6】

제 5항에 있어서, 상기 장벽금속막은 'Ti/TiN'의 적층 구조를 갖는 것을 특징으로 하는
커패시터.

【청구항 7】

하부전극과 유전막 및 상부전극으로 구성된 커패시터 제조방법에 있어서,
상기 상부전극이 '제 1 언도프드 폴리실리콘막/도프드 폴리실리콘막/제 2 언도프드
폴리실리콘막'의 적층 구조로 형성되는 것을 특징으로 하는 커패시터 제조방법.

【청구항 8】

제 7항에 있어서, 상기 제 1 및 제 2 언도프드 폴리실리콘막은 1000Å 이하의 두께로
형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 9】

제 7항에 있어서, 상기 도프드 폴리실리콘막은 1800 ~ 2500Å의 두께로 형성하는 것을
특징으로 하는 커패시터 제조방법.

【청구항 10】

제 7항에 있어서, 상기 제 2 언도프드 폴리실리콘막은 상기 도프드 폴리실리콘막 형성 후 진공의 껌없이 상기 도프드 막질 형성시와 동일 온도에서 형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 11】

제 7항에 있어서, 상기 상부전극의 전면에 금속 패턴을 더 형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 12】

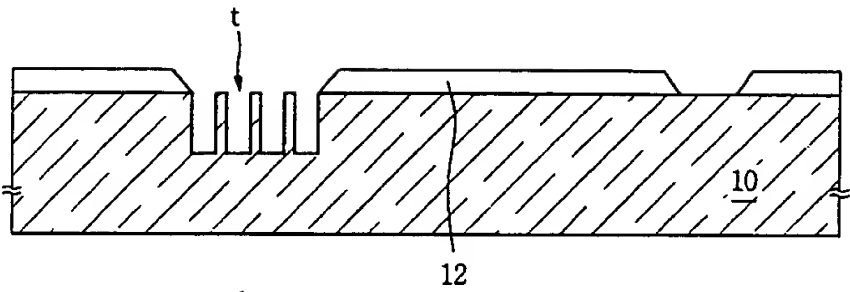
제 11항에 있어서, 상기 금속 패턴은 '장벽금속막/알루미늄막'의 적층 구조로 형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 13】

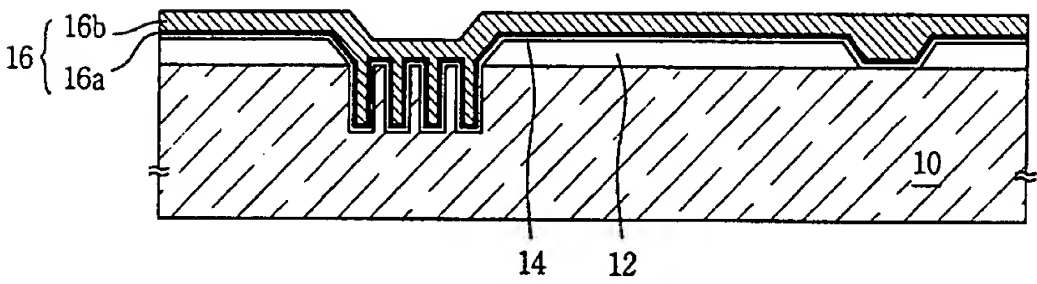
제 12항에 있어서, 상기 장벽금속막은 Ti/TiN 의 적층 구조로 형성하는 것을 특징으로 하는 커패시터 제조방법.

【도면】

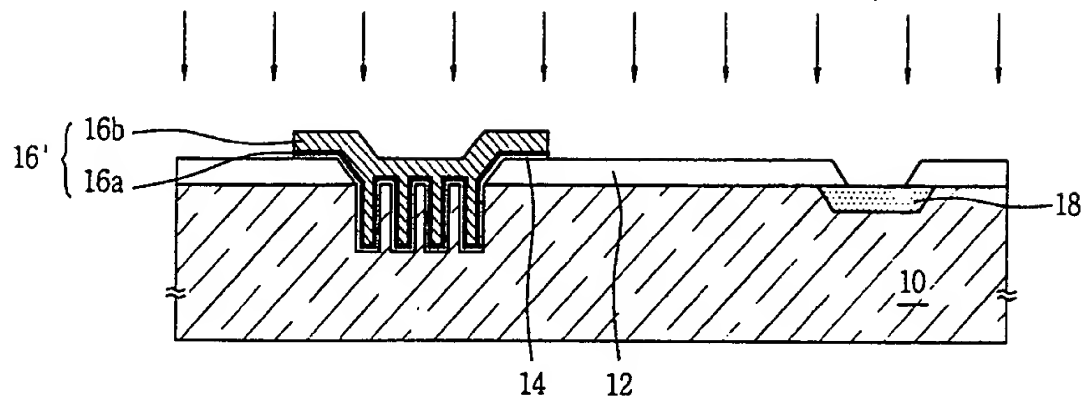
【도 1a】



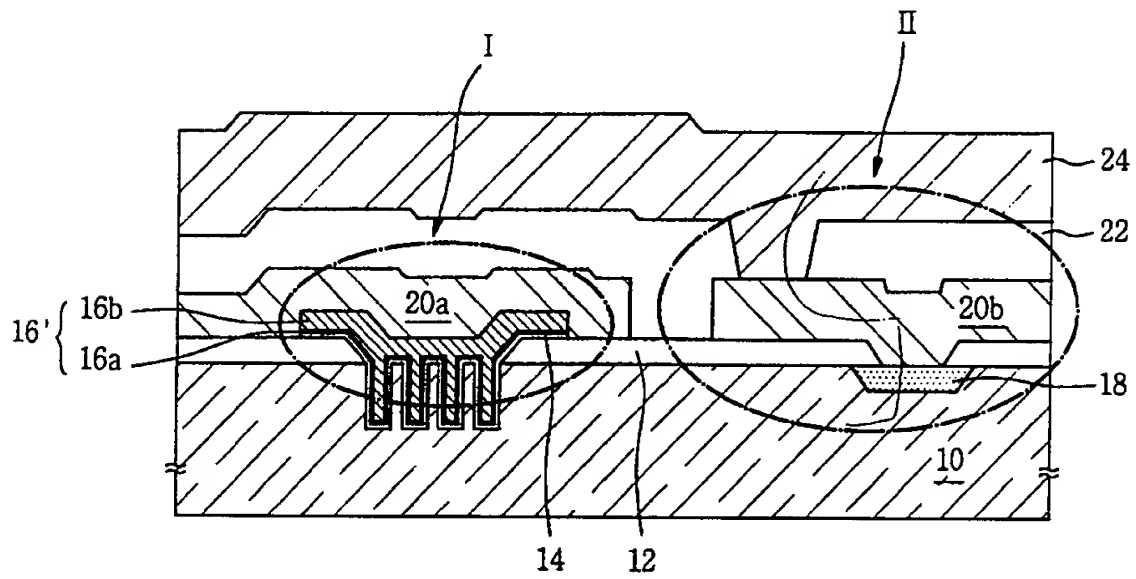
【도 1b】



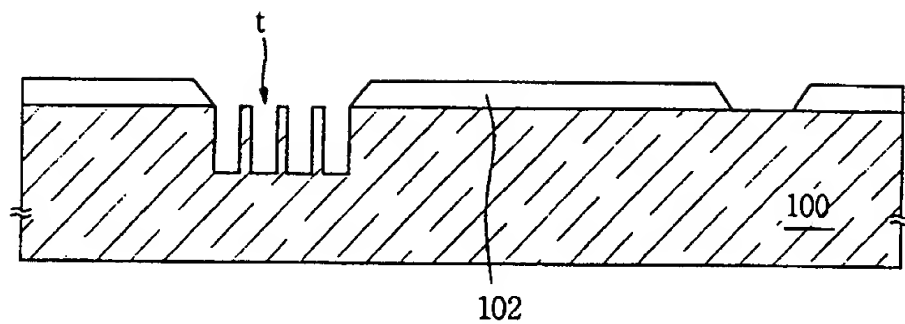
【図 1c】



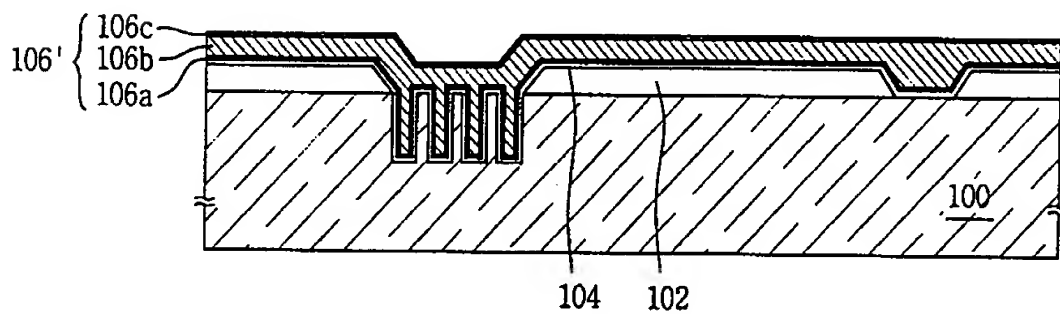
【図 1d】



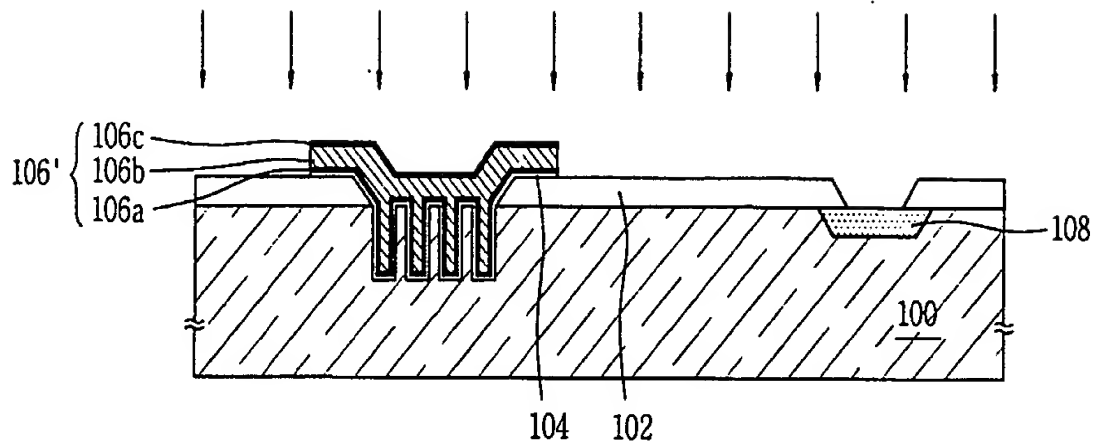
【図 2a】



【図 2b】



【도 2c】



【도 2d】

